**컴퓨터공학실험2 기말고사**

**(2020년 12월 19일)**

**총점: 100점**

**시간: 120분**

**주의 사항**

1. **시험 시작 전에 페이지를 넘기지 마세요.**
2. **문제는 1번부터 8번까지 있습니다.**
3. **제출하는 답안지에 이름, 학번을 반드시 적어주세요**
4. **모든 답안은 반드시 답안지에 적어 주셔야 합니다.(시험지에 쓴 답안은 인정하지 않습니다.)**
5. **시험 종료 10분전부터는 반드시 답안지를 저장해가면서 답을 작성해주세요. 시험이 끝난 후에는 word파일 혹은 hwp파일을 수정할 수 없습니다.**
6. **“끝” 하는 말에 모든 행동을 정지 할 것.**
7. **시험 종료 후 조교의 지시에 따라 사이버 캠퍼스에 답안지를 제출하시면 됩니다. 사이버 캠퍼스 과제란에 답안지를 제출하시면 됩니다. (시험지는 제출하지 않습니다.) 이 때 word파일 혹은 hwp(한글파일)이 켜진다면 부정행위로 처리하겠습니다.**
8. **답안지의 파일명은 변경하실 필요 없습니다.**
9. **시험 중 Vivado를 사용할 수 없습니다.**
10. **FPGA의 약자를 영어로 적고, FPGA란 무엇인지 서술하시오 (약자 2점 부분 점수 없음, 서술 8점)**

**F :**

**P :**

**G :**

**A :**

1. **다음은 FPGA를 사용한 디지털 회로의 실험과정이다. 각 단계에 대한 설명을 적으시오(각 2점)**

Design Entry

RTL simulation

Synthesis

FPGA Test

Functional Architecture Design

1. **Functional Architecture Design :**
2. **Design Entry :**
3. **RTL simulation :**
4. **Synthesis :**
5. **FPGA Test :**
6. **다음은 Logic Circuit Design Procedure를 순서대로 보여주고 있다. 빈칸을 들어갈 단어(문장)를 한글 또는 영어로 적으시오. (각 2점)**
7. **설계하기 위한 회로의 구조와 동작을 고려하여 (1)로 작성한다.**
8. **(1)의 내용을 (2)로 변환한다.**
9. **작성된 (2)(을)를 (3)(을)를 거쳐 최소화된 형태의 (4)를 작성한다.**
10. **최대한 (5)를 사용하여 구성한다.**
11. **구성 및 실험 결과가 (1)과 동일한지 확인한다.**

**뒷장 계속**

1. **아래 적혀진 문장을 읽고 문장이 참이면 O, 거짓이면 X를 표시하고 틀린 이유를 간략히 서술하시오. (문장이 참이면 O만 표시하고 이유는 적을 필요 없음) 각 2점**
2. **다음 회로는 2 to 4 line MUX 회로이다.**

****

**(O/X) 이유 :**

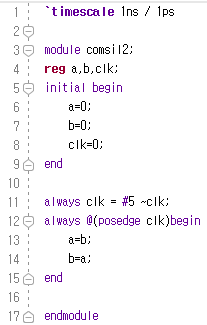
1. **아래 회로는 동기(Synchronous) 계수기로써 clock이 모든 flip-flop에 동시에 가해져 계수 결과가 즉시 나타나게 된다.**

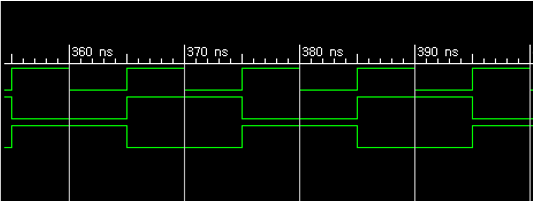
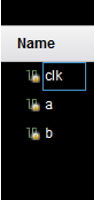
****

**(O/X) 이유 :**

**뒷장 계속**

1. **다음은 한 Verilog code와 시뮬레이션 결과이다. 시뮬레이션 결과가 제대로 나왔는가? 제대로 나오지 않았다면 그 이유를 설명하고 Verilog code의 틀린 부분을 수정하시오.**





1. **XDC 파일을 작성하는 과정에서 Verilog 소스의 a포트를 FGPA pin G21과 link 하려고 한다. 해당하는 코드를 적으시오. 단, LVCMOS33으로 설정한다. (한 줄짜리, 두 줄짜리 상관 없음) (4점)**

**뒷장 계속**

* **6, 7, 8 번은 주어진 문제에 해당하는 Verilog 코드와 simulation code를 작성 하셔야 됩니다. (XDC파일은 작성하지 않습니다**
  + **변수, 모듈 이름은 원하시는대로 작성하시면 됩니다.**
  + **시뮬레이션 결과에 대한 조건이 부여됩니다. 반드시 조건을 확인하세요**
  + **조교가 답안지의 코드를 복사하여 vivado에서 돌려보고 조건에 맞는 정확한 답이 나오지 않는 경우 0점 처리됩니다.**
  + **부분 점수는 없습니다.**

1. **NOT gate를 구현 하시오. (10점)**

**조건 1. Input이 1개이므로 simulation에서는 총 , 2가지의 서로 다른 case를 보여야함.**

**조건 2. 각 case는 50ns로 설정한다.**

1. **Full Adder를 구현 하시오. (20점)**

**조건 1. Input이 3개이므로 simulation에서는 총 , 8가지의 서로 다른 case를 보여야함.**

**조건 2. 각 case는 50ns로 설정한다.**

**조건 3. Gate-level로 구현할 것.**

1. **Flip Flop을 사용하여 동기식(synchronous) 2-bit 2진 계수기를 구현 하시오. (30점)**

**조건 1. Flip Flop은 D Flip Flop또는 JK Flip Flop만 사용 가능하다.**

**조건 2. Verilog code는 하나의 파일에서 작성된다고 가정한다. ( Flip Flop을 위한 파일(.v파일) 하나, counter를 위한 file하나는 허락되지 않는다.)**

**조건 3. Delay는 없다고 가정한다.**

**조건 4. Clock period는 100ns로 설정한다**

**조건 5. Data는 rising edge일 때 변화한다.**

**조건 6. Simulation 결과값은 rising edge일때마다 아래와 같아야함.**

**00->01->10->11->00->01->10->11**

**조건 7. Flip Flop을 사용하지 않고 clock마다 output값을 1씩 증가할 시 0점 처리됨.**

**-수고하셨습니다-**